

КОМПЛЕКС ВЫЧИСЛИТЕЛЬНЫЙ "ИСКРА 1256"

БЛОК ИНТЕРФЕЙСНЫЙ ПАМЯТИ  
"ИСКРА 015-93-П"

Техническое описание  
3.061.013 ТО

## 1. ВВЕДЕНИЕ

1.1. Техническое описание предназначено для изучения блока интерфейсного памяти "Искра 015-93-П" полупроводникового типа с организацией 4К x 8 ( в дальнейшем БИП) лицами, работающими с ним в процессе производства, обслуживания, ремонта и содержит описание принципа действия и технические характеристики.

## 2. НАЗНАЧЕНИЕ

2.1. Блок интерфейсный памяти "Искра 015-93-П" полупроводникового типа не подлежит самостоятельной поставке и предназначен для использования в качестве постоянной памяти в технических средствах АСПИ.

2.2. БИП предназначен для работы в стационарных условиях при:

- а) температуре окружающей среды от +10 до +50 С;
- б) относительной влажности воздуха 80% при температуре +30 С;
- в) атмосферном давлении 84 - 107 кПа (630...800 мм рт.ст.);
- г) воздействии вибрационных нагрузок в диапазоне частот от 5 до 30 Гц с амплитудой 0,1 мм.

## 3. ТЕХНИЧЕСКИЕ ДАННЫЕ

3.1. Информационная емкость 4096 слов.

3.2. Разрядность слова 8.

3.3. Максимальная частота обращения 1 МГц.

3.4. Время выборки информации не более 550 нс.

3.5. Номинальное напряжение источников питания +5 В, +12,6В.

Суммарная нестабильность с учетом пульсаций не превышает 5% от номинального значения канала.

3.6. Максимальная потребляемая мощность не более 8 Вт.

3.7. Токи потребления по каналам источников питания:

- а) во время обращения +5 В не более 600 мА,  
+12,6 не более 400 мА;
- б) во время отсутствия обращения +5 В не более 600 мА,  
+12,6 В не более 100 мА.

#### 4. СОСТАВ, УСТРОЙСТВО И ПРИНЦИП РАБОТЫ БИП

3.8. Габаритные размеры БИП не более 235x170x27 мм.

3.9. Масса БИП не более 0,5 кг.

3.10. Средний срок службы БИП не менее 10 лет.

3.11. Среднее время восстановления не более 40 мин.

3.12. Нарботка на отказ 10 000 ч.

3.13. Адрес обращения к БИП поступает в инверсном коде по 14 шинам. Код адреса по шинам I... 8 рАП (рАП- разряд адреса БИП) представляет собой адрес выбираемой ячейки в странице, код адреса по шинам 9...14 рАП определяет номер выбранной страницы.

3.14. Входной сигнал "Вызов ПЗУ" низкого уровня напряжения поступает в БИП после установления адреса на шинах I...14 рАП.

3.15. Появление выходного сигнала "Ответ ПЗУ" низкого уровня напряжения, задержанного относительно сигнала "Вызов ПЗУ" на время от 450 до 550 нс, свидетельствует об установлении достоверной информации на выходе БИП.

3.16. Информация из БИП поступает на выходную магистраль в инверсном виде по восьми шинам (I... 8рПЗУ).

3.17. Параметры входных сигналов должны соответствовать требованиям к параметрам входных сигналов микросхем серии К 155.

3.18. Выходные сигналы "I... 8рПЗУ", "Ответ ПЗУ" выдаются с микросхем с открытым коллектором. Допустимое число эквивалентных нагрузок (входной ток микросхем серии К155 - 1,6 мА) для выходных сигналов БИП приведено в таблице.

Таблица

Номер	Сигнал	Магистральные элементы, используемые для выхода	Допустимое число эквивалентных нагрузок ИМС К155 на выходной сигнал БИП
16	Ответ ПЗУ	Д10	8
33	1рПЗУ	-	-
34	2рПЗУ	Д11	8
35	3рПЗУ	Д12	8
36	4рПЗУ	-	-
37	5рПЗУ	Д13	8
38	6рПЗУ	-	-
39	7рПЗУ	Д14	8
40	8рПЗУ	-	-

4.1. БИП представляет конструкцию книжного типа, состоящую из двух соединенных между собой блоков - блока накопителя (БН) и блока управления (БУ).

Каждый из блоков представляет собой печатную плату с расположенными на ней элементами, причем печатная плата БУ заканчивается разъемной частью для соединения с розеткой РПП48, с помощью которой осуществляется подключение БИП к устройству, составной частью которого он является.

4.2. Структурная схема БИП приведена в приложении 1.

4.3. В состав БИП входят:

- а) накопитель, выполняющий функцию хранения постоянной информации;
- б) схема выборки пар страниц, осуществляющая управление ключами импульсного питания;
- в) ключи импульсного питания, подключающие напряжение питания +5 В к ИМС КР 556 РТ4;
- г) схема управления выборкой страницы;
- д) схема формирования стробирующих сигналов;
- е) схема формирования физического адреса БИП (сигнала ФАП);
- ж) схема формирования сигнала "Ответ ПЗУ";
- з) стабилизатор напряжения импульсного питания +5,3 В, осуществляющий подачу стабилизированного питающего напряжения +5,3 В на ключи импульсного питания;
- и) коммутатор информации, подключающий информацию из накопителя к магистральным элементам БИП;
- к) магистральные элементы, осуществляющие связь БИП с выходной магистралью.

4.3. Накопитель, расположенный в БН, состоит из 32 полупроводниковых интегральных микросхем КР556 РТ4. Микросхема представляет собой постоянное запоминающее устройство (в дальнейшем ПЗУ) емкостью 1024 бит с организацией 256 слов x4 биты, программируемое один раз перед изготовлением блока.

4.4. Временная диаграмма работы БИП приведена в приложении 2.

4.5. БИП работает следующим образом:

код адреса по шинам I...8рАП поступает на входы всех ПЗУ. Одноименные выходы ПЗУ попарно объединены, образуя восемь пар

страниц - узлы У1...У8 (см. электрические принципиальные схемы З.061.014 ЭЗ, З.057.006 ЭЗ).

Управление выборкой пары страниц осуществляется сигналами  $\overline{I1rAP}$ ...  $\overline{I2rAP}$ , в зависимости от кода которых и при низком уровне сигнала ФАП, на одном из выходов дешифратора Д7 появляется нулевой уровень напряжения. Проинвертированный на элементах Д8, Д9 он поступает на базы транзисторов VT5...VT12, собранных по схеме с общим эмиттером. При этом один из транзисторов открывается и с его коллектора снимается нулевой уровень напряжения сигнала 0,1 (2,3 ... 14,15) стр, которым открывается четыре транзистора VT1...VT4 в БН.

Таким образом, происходит выборка пары страниц (четной и нечетной). Подключение питающего напряжения на ПЗУ выбранной пары страниц осуществляется ключами импульсного питания, построенными на транзисторах Т1...Т4.

Питающее напряжение +5,3 В на ключи VT1...VT4 подается со стабилизатора ключевого типа с индуктивно-емкостным фильтром, собранного на транзисторах VT1...VT4 в БУ.

Сигналы 9rAP и (9rAP) используются для управления выборкой конкретной страницы.

Сигнал 9rAP, поступая на входы РВ1 шестнадцати ПЗУ (Д1, Д3, Д5 ... Д7, Д9... Д31) в БН, разрешает выборку одной из четырех страниц (т.к. напряжение +5 В подается только на выбранную пару страниц).

Сигнал (9rAP), аналогичным образом поступая на входы РВ1 шестнадцати ПЗУ (Д0, Д2, Д4 ... Д32) в БН, разрешает выборку одной из нечетных страниц.

Таким образом, с помощью сигналов 9rAP, (9rAP), 01 (2,3... 14,15) стр. выбирается конкретная страница памяти.

Выбор заданной ячейки памяти в какой-либо странице происходит в ПЗУ согласно поступающего на его входы кода адреса.

Одноименные выходы узлов У1...У8 в БН подаются на коммутатор информации, построенный на ИС Д33...Д40, производящий подключение выходов узлов У1...У8 в соответствии с управляющими сигналами 10...12rAP.

Информация с выходов коммутатора информации ( $\overline{Irk}$ ... $\overline{8rk}$ ) поступает на входы магистральных элементов, построенных на микросхемах К155ХЛ1 (Д11...Д14) и записывается при нулевом уровне сигнала "Вызов ПЗУ" и при высоком уровне сигнала "Ответ ПЗУ".

Считывание информации с магистральных элементов БИП на выходную магистраль осуществляется по сигналу с выхода микросхемы Д1, 4, задержанному относительно сигнала "Вызов ПЗУ" на время выборки информации.

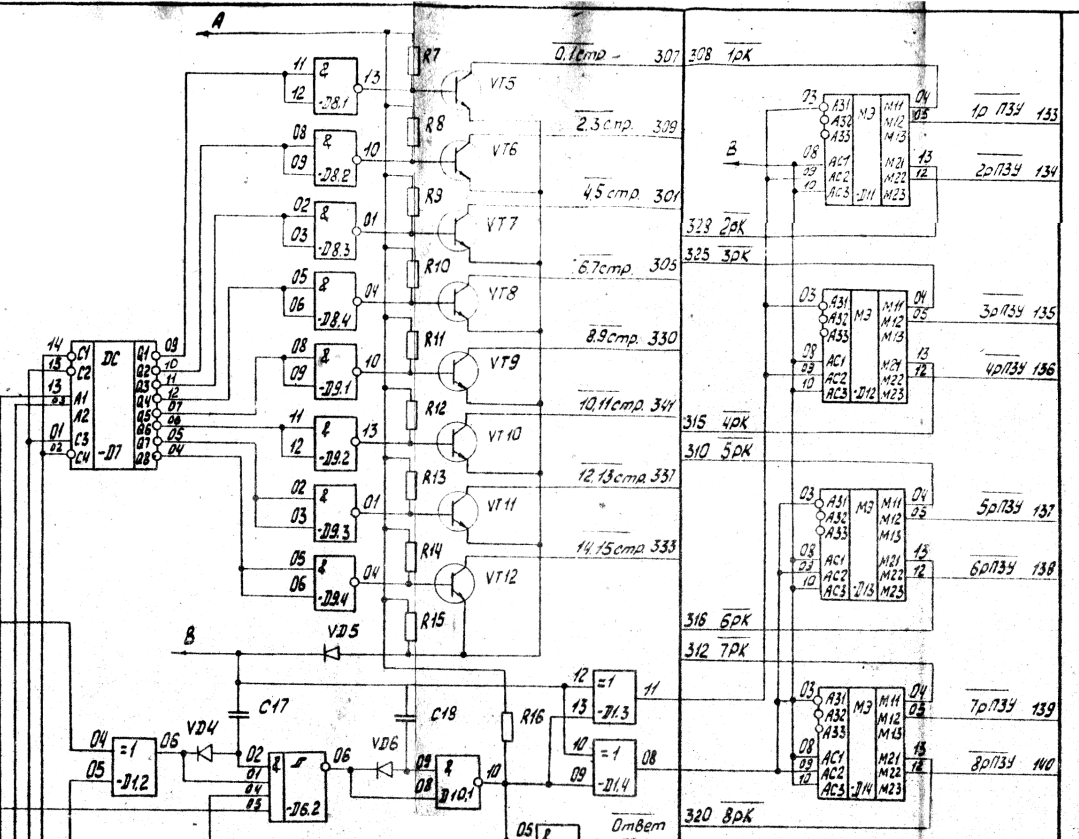
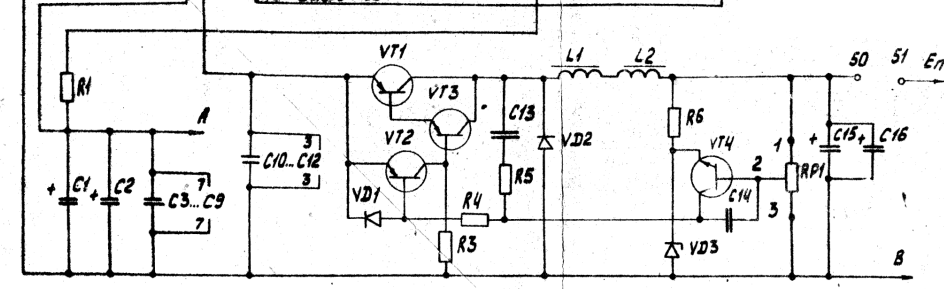
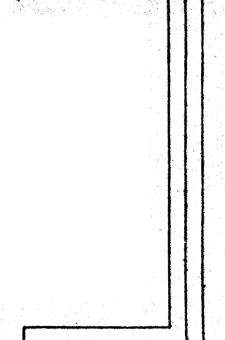
Сигнал ФАП вырабатывается в БУ микросхемами Д2.5, Д2.6, Д6.1, Д5.3 и предназначен для выбора одного из нескольких параллельно соединенных по магистрали БИП при обращении, путем определения кода на шинах I3rAP, I4rAP.

На микросхемах Д1.2, Д6.2, Д10.1, Д10.2 сформирован сигнал "Ответ ПЗУ" задержанный относительно сигнала "Вызов ПЗУ" на время, равное времени выборки информации. Сигнал "Ответ ПЗУ" свидетельствует о появлении достоверной информации на выходе БИП.



N1:13	Выход ПЗУ	113
N1:15	ТРАП	115
N1:17	2РАП	117
N1:18	3РАП	118
N1:19	4РАП	119
N1:20	5РАП	120
N1:21	6РАП	121
N1:22	7РАП	122
N1:23	8РАП	123
N1:24	9РАП	124
N1:25	10РАП	125
N1:26	11РАП	126
N1:27	12РАП	127
N1:28	13РАП	128
N1:29	14РАП	129

N1:5	+12.6 В
N2:43	+12.6 В
N1:2	+5 В
N1:4	+5 В
N2:46	+5 В
N2:48	+5 В
N1:1	Общий провод
N1:3	Общий провод
N2:45	Общий провод
N2:47	Общий провод



- Контакт 14 микросхем Д1, Д6, Д8...Д14, контакт 16 микросхем Д7 подключить к шине питания А(+5В)
- Контакт 7 микросхем Д1, Д6, Д8...Д14, контакт 8 микросхем Д7, подключить к шине питания В (общий провод)
- Конденсаторы С3...С9 установить на шины питания А(+5В) и В (общий провод) непосредственно к микросхем, по одному на две микросхемы.
- Переключки 50 и 51 устанавливать после настроек стабилизатора
- У всех цепей выходящих на контакты ламелей предусмотреть переходные точки.
- Номер БИП задается в соответствии с таблицей соединения переключки на схеме дано соединения переключки для БИП №1
- Первые цифры 1 и 2, транзитных номеров цепей указывают номера платочной сборки №1 и 2 соответственно, первые цифры 3 - номера групп металлизированной поверхности №3, №6, последние цифры обозначают номер соответствующей группы контактов платочной сборки или номера металлизированного отвода.
- Места расположения микросхем на плате определяются их конструктивными обозначениями на схеме и соответствуют рисунку (вид сверху) установки и соответствующий рисунку (вид сверху) установки

Таблица соединения переключки

Номер БИП	1	2	3
3.061.008 -	42-44	45-47	
-01	43-44	45-47	
-02	42-44	46-47	
-03	43-44	46-47	
-04	-	-	
-05	-	-	

301	4.5 смд	Н3: 01
302	(5РАП)	Н3: 02
303	Общий провод	Н3: 03
304	ЕП	Н3: 04
305	6.7 смд	Н3: 05
307	01 смд	Н3: 07
308	7РК	Н3: 08
309	2.3 смд	Н3: 09
310	5РК	Н3: 10
312	7РК	Н3: 12
315	4РК	Н3: 15
316	6РК	Н3: 16
319	9РАП	Н3: 19
320	8РК	Н3: 20
321	12РАП	Н3: 21
322	11РАП	Н3: 22
323	10РАП	Н3: 23
324	+5В	Н3: 24
325	30К	Н3: 25
328	2РК	Н3: 28
329	4РАП	Н3: 29
330	2Р смд	Н3: 30
331	1РАП	Н3: 31
332	3РАП	Н3: 32
333	14.15 смд	Н3: 33
334	2РАП	Н3: 34
335	3РАП	Н3: 35
336	6РАП	Н3: 36
337	12.13 смд	Н3: 37
338	7РАП	Н3: 38
339	9РАП	Н3: 39
340	4РАП	Н3: 40
341	12.13 смд	Н3: 41

115	Выход ПЗУ	115
113	10ПЗУ	Н1:33
114	20ПЗУ	Н1:34
115	30ПЗУ	Н1:35
116	40ПЗУ	Н1:36
117	50ПЗУ	Н1:37
118	60ПЗУ	Н1:38
119	70ПЗУ	Н1:39
140	80ПЗУ	Н1:40

Поз. Обозн.	Наименование	Кол.
<b>Конденсаторы</b>		
C1, C2	K50-6-1-168-30 мкФ	2
C3, C9	K104-5-10-20 мкФ-М50	7
C10, C4	K50-6-1-168-30 мкФ	3
C13	KC0-2-500-1-2200 пФ ±5%	1
C14	KC0-1-250-1-1500 пФ ±5%	1
C15, C16	K50-24-6-338-220 мкФ	2
C17	KC0-1-250-1-2200 пФ ±5%	1
C18	KC0-1-250-1-1000 пФ ±5%	1
<b>Микроэлементы</b>		
D1	KM155A75	1
D2	K155A11	1
D3, D4	KM155A75	2
D5	K155A13	1
D6	K155A11	1
D7	KM155A14	1
D8, D10	K155A18	3
D11, D14	K155A11	4
<b>Дроссели</b>		
L1, L2	Дроссели ДМ-06-60	2
<b>Резисторы МЛТ ГОСТ 7113-77</b>		
R1, R2	МЛТ-0.125-1-100 Ω ±10%	2
R3, R4	МЛТ-0.25-820 Ω ±10%	2
R5	МЛТ-0.25-270 Ω ±10%	1
R6	МЛТ-0.25-300 Ω ±10%	1
R7, R11	МЛТ-0.25-380 Ω ±10%	8
R15	МЛТ-0.25-680 Ω ±10%	1
R16	МЛТ-0.125-1 КОМ ±10%	1
R17	СМ3-37-18-100 Ω ±10%	1
<b>Приборы полупроводниковые</b>		
VD1	Диод КД522Б	1
VD2	Диод КД221А	1
VD3	Стабилитрон КС143А	1
VD4, VD6	Диод КД522Б	3
<b>Транзисторы</b>		
VT1	Транзистор КТ626Б	1
VT2, VT3	Транзистор КТ361Г	2
VT4, VT6	Транзистор КТ315 А	8

3.057.006.33  
Блок интерфейсной памяти  
"Искра 015-93-П"  
Блок управления станком  
электронической прошивкой

- N1:01 4,5 cmp 101
- N1:02 (5pAII) 102
- N1:03 Общий провод 103
- N1:04 EП 104
- N1:05 6,7 cmp 105
- N1:07 0,1 cmp 107
- N1:09 2,3 cmp 109
- N1:19 ФАП 119
- N1:21 12p AП 121
- N1:22 4pAII 122
- N1:23 10pAII 123
- N1:24 +5В 124
- N1:29 (4pAII) 129
- N1:30 8,9 cmp 130
- N1:31 (1pAII) 131
- N1:32 (3pAII) 132
- N1:33 14,15 cmp 133
- N1:34 (2pAII) 134
- N1:35 9pAII 135
- N1:36 (6pAII) 136
- N1:37 12,13 cmp 137
- N1:38 7pAII 138
- N1:39 8pAII 139
- N1:40 (1pAII) 140
- N1:41 10,11 cmp 141

